

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

Kenji KASUGA

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: September 30, 2003

Attorney Dkt. No.: 108075-00119

For: SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR ARRANGING  
MEMORY CELLS

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: September 30, 2003

Sir:

The benefit of the filing date(s) of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

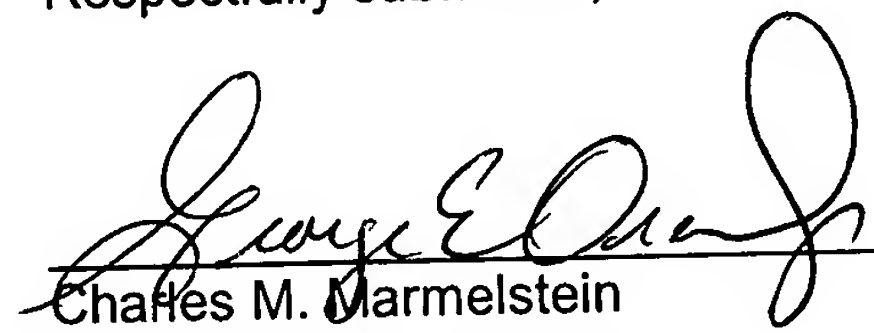
Foreign application No. 2002-285245, filed September 30, 2002, in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,

  
Charles M. Marmelstein  
Registration No. 25,895  
27931

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/jns

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月30日

出 願 番 号

Application Number:

特願2002-285245

[ ST.10/C ]:

[ JP 2002-285245 ]

出 願 人

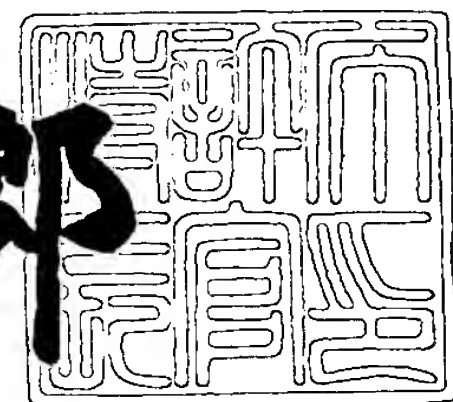
Applicant(s):

富士通株式会社

2003年 2月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011301

【書類名】 特許願

【整理番号】 0241192

【提出日】 平成14年 9月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

【発明の名称】 メモリセルの配置方法及び半導体記憶装置

【請求項の数】 10

【発明者】

    【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴ  
                                ィエルエスアイ株式会社内

    【氏名】 春日 健志

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100068755

    【弁理士】

    【氏名又は名称】 恩田 博宣

【選任した代理人】

    【識別番号】 100105957

    【弁理士】

    【氏名又は名称】 恩田 誠

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 メモリセルの配置方法及び半導体記憶装置

【特許請求の範囲】

【請求項 1】 少なくとも一对のビット線と接続される複数のメモリセルを該ビット線に沿ってアレイ状に配置するメモリセルの配置方法において、

前記ビット線方向に互いに隣接させて配置するメモリセルについては前記ビット線と直交する軸を対称軸として各メモリセルを交互に反転させて配置し、前記ビット線方向に互いに隣接させずに非隣接領域を隔てて配置するメモリセルについては該非隣接領域を隔てた前後のメモリセルを互いに反転させずに配置する、ことを特徴とするメモリセルの配置方法。

【請求項 2】 少なくとも一对のビット線と接続される複数のメモリセルを該ビット線に沿ってアレイ状に配置するメモリセルの配置方法において、

前記ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置され、前記ビット線と直交する軸に平行するメモリセルの第 1 の辺を両端の辺として有する第 1 のメモリセルユニットと、

前記ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置され、前記ビット線と直交する軸に平行するメモリセルの第 2 の辺を両端の辺として有する第 2 のメモリセルユニットと、を使用し、

前記第 1 のメモリセルユニットによって形成される第 1 のメモリセルアレイと前記第 2 のメモリセルユニットによって形成される第 2 のメモリセルアレイとを前記ビット線方向に設けられる非隣接領域を隔てて交互に配置することを特徴とするメモリセルの配置方法。

【請求項 3】 前記一对のビット線は、互いに相補な第 1 ビット線と第 2 ビット線とからなり、

前記第 1 のメモリセルユニットは少なくとも前記第 2 ビット線を共有可能とするように隣接配置され、前記第 2 のメモリセルユニットは少なくとも前記第 1 ビット線を共有可能とするように隣接配置されてなることを特徴とする請求項 2 記載のメモリセルの配置方法。

【請求項 4】 前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイ

とが前記ビット線方向にそれぞれ同じ数で形成されていることを特徴とする請求項 2 又は 3 記載のメモリセルの配置方法。

【請求項 5】 前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイとが前記ビット線方向にそれぞれ異なる数で形成されていることを特徴とする請求項 2 又は 3 記載のメモリセルの配置方法。

【請求項 6】 前記非隣接領域は前記ビット線方向に沿って配置される複数個のメモリセルに対して 1 領域ずつ設けられ、各非隣接領域にはそれぞれ対応する前記複数個のメモリセルに含まれるトランジスタのバックゲートと接続されるコンタクトが配置されることを特徴とする請求項 1 乃至 5 の何れか一項記載のメモリセルの配置方法。

【請求項 7】 前記ビット線に対して設けられるビット線コンタクトと接続されるトランジスタのソース・ドレインを、前記ビット線方向に隣接する互いのメモリセル間で共有するようにしたことを特徴とする請求項 1 乃至 6 の何れか一項記載のメモリセルの配置方法。

【請求項 8】 前記ビット線に対して設けられるビット線コンタクトを、前記ビット線方向に隣接する互いのメモリセル間で共有するようにしたことを特徴とする請求項 1 乃至 7 の何れか一項記載のメモリセルの配置方法。

【請求項 9】 前記複数のメモリセルは S R A M メモリセルであることを特徴とする請求項 1 乃至 8 の何れか一項記載のメモリセルの配置方法。

【請求項 1 0】 複数のメモリセルがビット線に沿ってアレイ状に配置されてメモリセルアレイが形成された半導体記憶装置において、

前記メモリセルアレイは、前記ビット線方向に隣接する互いのメモリセルが該ビット線と直交する軸を対称軸として交互に反転され、且つ、前記ビット線方向に所定の非隣接領域を隔てて隣り合う前後のメモリセルが互いに反転されずに配置されてなる、ことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、メモリセルの配置方法及び半導体記憶装置に関する。

半導体記憶装置ではメモリセルをアレイ状に配置することによってメモリセルアレイが形成されている。近年では、トランジスタの微細化がますます進み、配線パターン等の制約によってレイアウトパターンに対する自由度が小さくなってきていることから、それらを考慮してメモリセルの配置を行う必要がある。

#### 【 0 0 0 2 】

##### 【従来の技術】

図 1 1 は、従来のメモリセルの配置方法を示すレイアウト図である。

メモリセルアレイ 7 1 は、アレイ配置された複数（図では例えば 8 つのみ示す）のメモリセル 7 2 a, 7 2 b を含み、これらのメモリセル 7 2 a, 7 2 b は互いに対となる相補なビット線（本例では、ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）と接続される。

#### 【 0 0 0 3 】

従来、このようなメモリセルアレイ 7 1 は、ビット線と直交する軸（図中、X 軸）で互いに反転（図中、英字「F」を反転表示して示す）された偶数個（例えば 2 個）のメモリセル 7 2 a, 7 2 b を 1 配置単位として構成されるメモリセルユニット 7 2 をアレイ配置することによって形成される。

#### 【 0 0 0 4 】

ところで、近年では、トランジスタの微細化に伴い、メモリセル 7 2 a, 7 2 b 自体の面積も縮小されていることから、例えばトランジスタのバックゲートと接続されるコンタクト等を各メモリセル 7 2 a, 7 2 b 内に配置（図 1 1 参照）することが難しくなっている。

#### 【 0 0 0 5 】

そこで、この問題を解消する手段として、例えば特許文献 1 に記載された方法などが提案されている。すなわち、図 1 2 に示すように、ビット線方向に沿ってメモリセル 7 2 a, 7 2 b の互いに隣接しない領域（以下、非隣接領域） 7 3 を所定個のメモリセル毎に 1 つずつ設け（本例では 8 セルに対して 1 つ）、その非隣接領域 7 3 に上記バックゲート等のための配置を行うようにしている。

#### 【 0 0 0 6 】

##### 【特許文献 1】

特開平 8 - 2 7 4 2 7 1 号公報

【0 0 0 7】

【発明が解決しようとする課題】

ところで、上記した従来の配置方法では、図 1 2 に示すように非隣接領域 7 3 を介してメモリセル 7 2 a, 7 2 b の配置を行う場合、互いに対となる相補なビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）にそれぞれ設けられる各ビット線コンタクトの数が相違する。

【0 0 0 8】

例えば、図 1 2 において、ビット線 BLA, BLB に設けられるビット線コンタクトの数は 6 個であるのに対し、X ビット線 XBLA, XBLB に設けられるビット線コンタクトの数は 4 個となる。これら互いのビット線の間で生じるビット線コンタクトの数の差は、メモリセルアレイ 7 1 内に設けられる非隣接領域 7 3 の数に比例して大きくなる。

【0 0 0 9】

このように、互いのビット線の間でビット線コンタクトの数の差が生じると、一方のビット線（本例では X ビット線 XBLA, XBLB）に対して接続されるトランジスタのソース・ドレイン容量及び配線負荷が、他方のビット線（本例ではビット線 BLA, BLB）に対するそれらよりも大きくなる。その結果、図 1 3 に示すように、ビット線 BLA, BLB に対して負荷が大きい X ビット線 XBLA, XBLB ではビット線振幅が十分に得られなくなり、データ読み出し時におけるアクセス時間が長くなるという問題があった。ちなみに、こうした問題はデータ書き込み時においても同様に生じる。このため、従来では、読み出し動作及び書き込み動作を安定して行うことができなかった。

【0 0 1 0】

本発明は上記問題点を解決するためになされたものであって、その目的は読み出し時及び書き込み時の動作を安定させることのできるメモリセルの配置方法及び半導体記憶装置を提供することにある。

【0 0 1 1】

【課題を解決するための手段】



上記目的を達成するため、請求項 1, 2, 10 に記載の発明によれば、少なくとも一対のビット線と接続される複数のメモリセルを該ビット線に沿ってアレイ配置する際、ビット線方向に互いに隣接させて配置するメモリセルについてはビット線と直交する軸を対称軸として各メモリセルを交互に反転させて配置し、ビット線方向に互いに隣接させずに非隣接領域を隔てて配置するメモリセルについてはその非隣接領域を隔てた前後のメモリセルを互いに反転させずに配置するようにした。この方法では、対となる互いのビット線にそれぞれ設けられるビット線コンタクトの数（又はそれに接続されるトランジスタのソース・ドレインの数）が略等しくなるため、それら互いのビット線の間で生じるトランジスタのソース・ドレイン容量及び配線負荷を略等しくできる。従って、読み出し時及び書き込み時の動作を安定させることができる。

#### 【0012】

また、請求項 2 に記載の発明によれば、メモリセルの配置は、前記ビット線と直交する軸に平行するメモリセルの第 1 の辺を両端の辺として有するように、該ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置されてなる第 1 のメモリセルユニットと、前記ビット線と直交する軸に平行するメモリセルの第 2 の辺を両端の辺として有するように、該ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置されてなる第 2 のメモリセルユニットと、を使用して行われる。このとき、第 1 のメモリセルユニットを用いて形成する第 1 のメモリセルアレイと第 2 のメモリセルユニットを用いて形成する第 2 のメモリセルアレイとをビット線方向に設けられる非隣接領域を隔てて交互に配置するようにした。このような第 1 及び第 2 のメモリセルユニットを配置単位としてメモリセルアレイの配置を行うことで、半導体記憶装置のレイアウト設計を効率良く行うことができる。

#### 【0013】

請求項 3 に記載の発明によれば、前記一対のビット線は、互いに相補な第 1 ビット線と第 2 ビット線とからなるものであり、第 1 のメモリセルユニットは少なくとも第 2 ビット線を共有可能とし、また、第 2 のメモリセルユニットは少なくとも第 1 ビット線を共有可能とするように隣接配置されて構成されている。

【 0 0 1 4 】

請求項 4 に記載の発明によれば、前記第 1 及び第 2 のメモリセルアレイはビット線方向にそれぞれ同じ数で形成されている。この場合、対となるビット線にそれぞれ設けられるビット線コンタクトの数を互いに等しくすることができる。

【 0 0 1 5 】

請求項 5 に記載の発明によれば、前記第 1 及び第 2 のメモリセルアレイはビット線方向にそれぞれ異なる数で形成されている。この場合、対となるビット線にそれぞれ設けられるビット線コンタクトの数は 1 個差で異なる。換言すれば、対となる互いのビット線に設けられるビット線コンタクトの差を最大でも 1 個とすることができる。

【 0 0 1 6 】

請求項 6 に記載の発明によれば、前記非隣接領域はビット線方向に沿って配置される複数のメモリセルに対して 1 領域ずつ設けられるものであり、それらの各非隣接領域には、それぞれ対応する前記複数のメモリセルに含まれるトランジスタのバックゲートと接続されるコンタクトが配置されるようにした。

【 0 0 1 7 】

請求項 7 に記載の発明によれば、前記ビット線に対して設けられるビット線コンタクトと接続されるトランジスタのソース・ドレインを、ビット線方向に隣接する互いのメモリセル間で共有するようにした。これにより、メモリセルの配置面積を小さくすることができる。

【 0 0 1 8 】

請求項 8 に記載の発明によれば、前記ビット線に対して設けられるビット線コンタクトを、ビット線方向に隣接する互いのメモリセル間で共有するようにした。これにより、メモリセルの配置面積を小さくすることができる。

【 0 0 1 9 】

請求項 9 に記載の発明のように、本発明は S R A M メモリセルの配置を行う際において特に有用な配置方法とすることができる。

【 0 0 2 0 】

【発明の実施の形態】

## (第一実施形態)

以下、本発明を具体化した第一実施形態を図1～図7に従って説明する。

## 【0021】

図1は、本実施形態の配置方法を適用したメモリセルのレイアウト図である。この半導体記憶装置のメモリセルアレイ11は、第1のメモリセルユニット（以下、第1のセルユニット）12を用いて形成される第1のメモリセルアレイ13と、第2のメモリセルユニット（以下、第2のセルユニット）14を用いて形成される第2のメモリセルアレイ15とを含む。

## 【0022】

第1のセルユニット12は、偶数個（例えば2個）のメモリセル16a，16bを1配置単位として構成されている。メモリセル16a，16bは、互いに相補な二対のビット線（本実施形態では、第1ビット線としてのビット線BLA，BLBと、それらに相補な第2ビット線としてのXビット線XBLA，XBLB）と接続されている。そして、第1のセルユニット12は、上記各ビット線と直交する軸（図中、X軸）を対称軸として線対称となるそれらのメモリセル16a，16b（図中、「F」を反転表示して示す）が隣接配置されて構成されている。

## 【0023】

このような第1のセルユニット12は、上記各ビット線と直交する軸に平行な各メモリセル16a，16bの第1の辺を両端の辺として有する。ここで、本実施形態において、メモリセル16a，16bの第1の辺とは、隣接するメモリセル16a，16b間で第1ビット線（ビット線BLA，BLB）を共有可能とする辺である。

## 【0024】

この第1のセルユニット12をビット線方向にアレイ配置して形成する第1のメモリセルアレイ13では、結果として、互いに反転した形状を持つメモリセル16a，16bがビット線方向に隣接して配置されることとなる。これにより、隣接する互いのメモリセル16a，16b間で各ビット線に対してそれぞれ設けられるビット線コンタクト及びそれらに接続されるトランジスタのソース・ドレイン（図1では省略）を共有することができる。

## 【 0 0 2 5 】

第 2 のセルユニット 1 4 は、前記同様、偶数個（例えば 2 個）のメモリセル 1 6 c, 1 6 d を 1 配置単位として構成され、各メモリセル 1 6 c, 1 6 d は、互いに相補な二対のビット線（第 1 ビット線（ビット線 BLA, BLB）と、第 2 ビット線（X ビット線 XBLA, XBLB））と接続されている。そして、第 2 のセルユニット 1 4 は、上記各ビット線と直交する軸（図中、X 軸）を対称軸として線対称となるそれらのメモリセル 1 6 c, 1 6 d（図中、「F」を反転表示して示す）が隣接配置されて構成されている。

## 【 0 0 2 6 】

このような第 2 のセルユニット 1 4 は、上記各ビット線と直交する軸に平行な各メモリセル 1 6 c, 1 6 d の第 2 の辺を両端の辺として有する。ここで、本実施形態において、メモリセル 1 6 c, 1 6 d の第 2 の辺とは、隣接するメモリセル 1 6 c, 1 6 d 間で第 2 ビット線（X ビット線 XBLA, XBLB）を共有可能とする辺である。

## 【 0 0 2 7 】

すなわち、換言すれば、この第 2 のセルユニット 1 4 は、第 1 のセルユニット 1 2 を構成するメモリセル 1 6 a, 1 6 b のそれぞれを各ビット線と直交する軸で反転させた形状を持つメモリセル 1 6 c, 1 6 d を隣接配置することによって構成されている。

## 【 0 0 2 8 】

この第 2 のセルユニット 1 4 をビット線方向にアレイ配置して形成する第 2 のメモリセルアレイ 1 5 では、結果として、互いに反転した形状を持つメモリセル 1 6 c, 1 6 d がビット線方向に配置されることとなる。これにより、隣接する互いのメモリセル 1 6 c, 1 6 d 間で各ビット線に対してそれぞれ設けられるビット線コンタクト及びそれらに接続されるトランジスタのソース・ドレイン（図 1 では省略）を共有することができる。

## 【 0 0 2 9 】

こうして形成される第 1 のメモリセルアレイ 1 3 と第 2 のメモリセルアレイ 1 5 とは、ビット線方向に各メモリセルが隣接しない領域（以下、非隣接領域） 1

7 を隔てて交互に形成され、該非隣接領域 1 7 にはトランジスタのバックゲートと接続されるコンタクトが配置される。尚、この非隣接領域 1 7 は前記ビット線方向に沿って配置される複数のメモリセルに対して 1 領域ずつ（図 1 ではビット線方向の 8 つのメモリセルに対して 1 つ）形成される。

#### 【 0 0 3 0 】

次に、第 1 及び第 2 のセルユニット 1 2， 1 4 について詳述する。

図 2（a）は、第 1 のセルユニット 1 2 を示すレイアウト図である。

第 1 のセルユニット 1 2 は、該ユニット 1 2 内にて隣接する互いのメモリセル 1 6 a， 1 6 b 間で、第 2 ビット線（X ビット線 XBLA， XBLB）に設けられるビット線コンタクト 2 1 a， 2 1 b を共有する。また、この第 1 のセルユニット 1 2 は、同じ構成を持つ他の第 1 のセルユニット 1 2 との間（具体的には隣接するメモリセル 1 6 a， 1 6 b 間）で、第 1 ビット線（ビット線 BLA， BLB）に設けられるビット線コンタクト 2 2 a， 2 3 a， 2 2 b， 2 3 b を共有する。

#### 【 0 0 3 1 】

図 2（b）は、第 1 のセルユニット 1 2 の回路図である。

第 1 のセルユニット 1 2 を構成するメモリセル 1 6 a， 1 6 b は、例えば 8 トランジスタ型の S R A M (Static Random Access Memory) メモリセルであって、データ保持回路として機能する 4 つのトランジスタとアクセス用のスイッチ回路として機能する 4 つのトランジスタとからなる。そして、同図に示すように、各 X ビット線 XBLA， XBLB には、共通のビット線コンタクト 2 1 a， 2 1 b を介して両メモリセル 1 6 a， 1 6 b 内におけるトランジスタのソース・ドレインがそれぞれ接続される。

#### 【 0 0 3 2 】

図 3（a）は、第 2 のセルユニット 1 4 を示すレイアウト図である。

第 2 のセルユニット 1 4 は、該ユニット 1 4 内にて隣接する互いのメモリセル 1 6 c， 1 6 d 間で、第 1 ビット線（ビット線 BLA， BLB）に設けられるビット線コンタクト 3 1 a， 3 1 b を共有する。また、この第 2 のセルユニット 1 4 は、同じ構成を持つ他の第 2 のセルユニット 1 4 との間（具体的には隣接するメモリセル 1 6 c， 1 6 d 間）で、第 2 ビット線（X ビット線 XBLA， XBLB）に設けら



れるビット線コンタクト 3 2 a, 3 3 a, 3 2 b, 3 3 b を共有する。

#### 【 0 0 3 3 】

図 3 (b) は、第 2 のセルユニット 1 4 の回路図である。

第 2 のセルユニット 1 4 を構成するメモリセル 1 6 c, 1 6 d は、前記と同様、8 トランジスタ型の S R A M メモリセルであって、データ保持回路として機能する 4 つのトランジスタとアクセス用のスイッチ回路として機能する 4 つのトランジスタとからなる。そして、同図に示すように、各ビット線 BLA, BLB には、共通のビット線コンタクト 3 1 a, 3 1 b を介して両メモリセル 1 6 c, 1 6 d 内におけるトランジスタのソース・ドレインがそれぞれ接続される。

#### 【 0 0 3 4 】

本実施形態では、このような構成を持つ第 1 及び第 2 のセルユニット 1 2, 1 4 を用いて、図 1 に示すように、メモリセルアレイ 1 1 を形成する。詳しくは、まず、第 1 のセルユニット 1 2 をアレイ配置して第 1 のメモリセルアレイ 1 3 を形成する。その後、トランジスタのバックゲート配置用に設けた非隣接領域 1 7 を介して、第 2 のセルユニット 1 4 をアレイ配置して第 2 のメモリセルアレイ 1 5 を形成する。

#### 【 0 0 3 5 】

すなわち、非隣接領域 1 7 を介してメモリセルを配置する場合には、該非隣接領域 1 7 を隔てた前後のメモリセル（図 1 ではメモリセル 1 6 b とメモリセル 1 6 c）を互いに反転させないようにして配置する。

#### 【 0 0 3 6 】

こうして形成されたメモリセルアレイ 1 1 では、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）に対して設けられるビット線コンタクトの数が略等しくなる（図 1 ではそれぞれ 5 個ずつで等しくなる）。これにより、ビット線 BLA と X ビット線 XBLA の間、ビット線 BLB と X ビット線 XBLB の間で、それらの各ビット線コンタクトに接続されるトランジスタのソース・ドレイン容量及び配線負荷を略等しくすることができる。

#### 【 0 0 3 7 】

図 4 は、図 1 のレイアウトにおけるバルク構造を示す説明図である。

上記したように、メモリセルアレイ 1 1 において、メモリセル 1 6 a, 1 6 b 間、メモリセル 1 6 c, 1 6 d 間では、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）のビット線コンタクト及びそれらに接続されるトランジスタのソース・ドレインが共有される。

【 0 0 3 8 】

そして、それらの各メモリセル間で共有するソース・ドレインに設けられるコンタクト（ソース・ドレインコンタクト）は、図 5 に示すように、各メモリセル間で共有するビット線コンタクトと多数の配線層（図は 2 層）を介して相互に接続される。このように、隣接する互いのメモリセル間でビット線コンタクト及びソース・ドレインを共有することで、各メモリセル 1 6 a ~ 1 6 d の配置面積を小さくすることができる。

【 0 0 3 9 】

図 6 は、本実施形態の配置方法を適用した半導体記憶装置の読み出し動作を示す波形図である。

上記したように、本実施形態では、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）に設けられるビット線コンタクトの数を略等しくすることにより、それらに対する負荷（ソース・ドレイン容量及び配線負荷等）を略等しくすることができる。

【 0 0 4 0 】

これにより、図 6 に示すように、ビット線 BLA , BLB 及び X ビット線 XBLA, XBLB から読み出される読み出し信号の振幅（ビット線振幅）を略等しくすることができる。その結果、ビット線 BLA , BLB 及び X ビット線 XBLA, XBLB からデータを読み出す際のアクセス時間（図中、T 1 , T 2 間、T 3 , T 4 間）を略等しくすることができる。また、ここでは図示しないが、本実施形態では、書き込み時のアクセス時間も同様にして改善することができる。

【 0 0 4 1 】

尚、本実施形態において、上記した第 1 及び第 2 のセルユニット 1 2 , 1 4 を用いて行うメモリセルの配置（レイアウト設計）は、図 7 に示すように、一般的な CAD (Computer Aided Design) 装置からなるコンピュータシステムを用いて

行われる。

【 0 0 4 2 】

コンピュータシステム 4 1 は、中央処理装置（以下、CPU）4 2、メモリ 4 3、記憶装置 4 4、表示装置 4 5、入力装置 4 6 及びドライブ装置 4 7 を備え、それらはバス 4 8 を介して相互に接続されている。

【 0 0 4 3 】

CPU 4 2 は、メモリ 4 3 を利用してプログラムを実行し、半導体記憶装置のレイアウト設計に必要な処理を実現する。このメモリ 4 3 としては、通常、キャッシュ・メモリ、システム・メモリ及びディスプレイ・メモリ等を含む。

【 0 0 4 4 】

表示装置 4 5 は、レイアウト表示、パラメータ入力画面等の表示に用いられ、これには通常、CRT、LCD、PDP 等が用いられる。入力装置 4 6 は、ユーザからの要求や指示、パラメータの入力に用いられ、これにはキーボード及びマウス装置等が用いられる。

【 0 0 4 5 】

記憶装置 4 4 は、通常、磁気ディスク装置、光ディスク装置、光磁気ディスク装置等を含む。この記憶装置 4 4 には、本実施形態におけるレイアウト設計処理を実現するためのプログラムデータ（以下、プログラム）及び上記第 1 及び第 2 のセルユニット 1 2、1 4 等のセルデータをライブラリ登録した各種のデータファイル（以下、ファイル）が格納される。CPU 4 2 は、入力装置 4 6 による指示に応答してプログラムや各種ファイルに格納されるデータを適宜メモリ 4 3 へ転送し、それを逐次実行する。尚、記憶装置 4 4 は、データベースとしても使用される。

【 0 0 4 6 】

CPU 4 2 が実行するプログラムは、記録媒体 4 9 にて提供される。ドライブ装置 4 7 は、記録媒体 4 9 を駆動し、その記憶内容にアクセスする。CPU 4 2 は、ドライブ装置 4 7 を介して記録媒体 4 9 からプログラムを読み出し、それを記憶装置 4 4 にインストールする。

【 0 0 4 7 】



記録媒体 4 9 としては、メモリカード、フレキシブルディスク、光ディスク (C D-R O M, D V D-R O M, …), 光磁気ディスク (M O, M D, …) 等、任意の記録媒体を使用することができる。この記録媒体 4 9 に上述のプログラムを格納しておき、必要に応じて、メモリ 4 3 にロードして使用することもできる。尚、記録媒体 4 9 には、通信媒体を介してアップロード又はダウンロードされたプログラムを記録した媒体、ディスク装置を含む。

## 【 0 0 4 8 】

以上記述したように、本実施形態によれば、以下の効果を奏する。

(1) 半導体記憶装置のメモリセルアレイ 1 1 は、第 1 のセルユニット 1 2 により第 1 のメモリセルアレイ 1 3 が形成された後、バックゲート配置用に設けた非隣接領域 1 7 を隔てて、第 2 のセルユニット 1 4 により第 2 のメモリセルアレイ 1 5 が形成される。このように、非隣接領域 1 7 を隔てた前後のメモリセル (メモリセル 1 6 b とメモリセル 1 6 c) を互いに反転させないように配置することで、それぞれ対となる互いのビット線 (ビット線 B L A と X ビット線 X B L A、ビット線 B L B と X ビット線 X B L B) に設けられるビット線コンタクトの数を略等しくできる。その結果、各ビット線の間で生じるソース・ドレイン容量及び配線負荷を略等しくできるため、読み出し時及び書き込み時のアクセス時間を略等しくすることができる。

## 【 0 0 4 9 】

(2) 本実施形態において、互いに隣接配置されるメモリセル 1 6 a, 1 6 b 間、メモリセル 1 6 c, 1 6 d 間では、ビット線コンタクト及びそれに接続されるトランジスタのソース・ドレインをそれぞれ共有するようにした。これにより、各メモリセル 1 6 a ~ 1 6 d の配置面積を小さくすることができる。

## 【 0 0 5 0 】

(3) 本実施形態では、2 個のメモリセル 1 6 a, 1 6 b からなる第 1 のセルユニット 1 2 及び 2 個のメモリセル 1 6 c, 1 6 d からなる第 2 のセルユニット 1 4 をそれぞれ 1 配置単位として配置を行うため、レイアウト設計を効率良く行うことができる。

## 【 0 0 5 1 】

## (第二実施形態)

以下、本発明を具体化した第二実施形態を図 8 に従って説明する。

図 8 は、第二実施形態の配置方法を適用したメモリセルのバルク構造を示す説明図である。尚、本実施形態では、上記第 1 及び第 2 のメモリセルアレイ 1 3, 1 5 内にて隣接する互いのメモリセル間で、ビット線コンタクトを共有しない場合（ソース・ドレインは共有する）の例を示すものであり、第一実施形態と同様な構成部分については同一符号を付して説明する。

## 【 0 0 5 2 】

図 8 に示すように、半導体記憶装置のメモリセルアレイ 5 1 は、第 1 のセルユニット 5 2 をアレイ配置して形成される第 1 のメモリセルアレイ 5 3 と、非隣接領域 5 7 を介して、第 2 のセルユニット 5 4 をアレイ配置して形成される第 2 のメモリセルアレイ 5 5 とを含む。

## 【 0 0 5 3 】

第 1 のセルユニット 5 2 は、各ビット線と直交する軸を対称軸として線対称となるメモリセル 5 6 a, 5 6 b（図中、「F」を反転表示して示す）が隣接配置されて構成されている。この第 1 のセルユニット 5 2 をビット線方向にアレイ配置して形成される第 1 のメモリセルアレイ 5 3 において、隣接する互いのメモリセル 5 6 a, 5 6 b 間ではトランジスタのソース・ドレインのみが共有され、ビット線コンタクトは共有されない。

## 【 0 0 5 4 】

第 2 のセルユニット 5 4 は、各ビット線と直交する軸を対称軸として線対称となるメモリセル 5 6 c, 5 6 d（図中、「F」を反転表示して示す）が隣接配置されて構成されている。尚、第 2 のセルユニット 5 4 は、上記第 1 のセルユニット 5 2 を構成するメモリセル 5 6 a, 5 6 b のそれぞれを各ビット線と直交する軸で反転させた形状を持つメモリセル 5 6 c, 5 6 d を隣接配置することによって構成されている。この第 2 のセルユニット 5 4 をビット線方向にアレイ配置して形成される第 2 のメモリセルアレイ 5 5 において、隣接する互いのメモリセル 5 6 c, 5 6 d 間ではトランジスタのソース・ドレインのみが共有され、ビット線コンタクトは共有されない。

## 【 0 0 5 5 】

このような第 1 及び第 2 のセルユニット 5 2, 5 4 を用いて形成されるメモリセルアレイ 5 1 では、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）の間で、それらのビット線コンタクトに接続されるソース・ドレインの数を略等しくできる。尚、本実施形態では、図 8 に示すようにそれぞれ 5 個所ずつで等しくなる。従って、第一実施形態と同様、ビット線 BLA と X ビット線 XBLA の間、ビット線 BLB と X ビット線 XBLB の間でソース・ドレイン容量及び配線負荷を略等しくすることができるため、それら互いのビット線に対するアクセス時間を略等しくできる。

## 【 0 0 5 6 】

尚、上記各実施形態は、以下の態様で実施してもよい。

- ・第一実施形態では、第 1 及び第 2 のセルユニット 1 2, 1 4 をそれぞれ 1 配置単位としてメモリセルの配置を行うようにしたが、必ずしも複数のメモリセルをまとめて配置する必要はない。すなわち、メモリセルアレイ 1 1 は、隣接して配置される各メモリセルについては交互に反転して配置され、非隣接領域 1 7 を介してその前後に配置されるメモリセルについてはそれらを互いに反転させないようにして配置されていればよい。従って、メモリセルを 1 個ずつ配置するようにしてもよい。尚、以上のことは、第二実施形態でも同様にして言える。

## 【 0 0 5 7 】

- ・第一実施形態では、第 1 及び第 2 のセルユニット 1 2, 1 4 はそれぞれ 2 個のメモリセルから構成されるが、2 個に限定されるものではなく 4 個以上の偶数個から構成されてもよい。例えば、第 1 のセルユニット 1 2 としては、メモリセル 1 6 a とメモリセル 1 6 b とを用いてそれらを交互に隣接配置した 4 個のメモリセルで構成し、第 2 のセルユニット 1 4 としては、メモリセル 1 6 c とメモリセル 1 6 d とを用いてそれらを交互に隣接配置した 4 個のメモリセルで構成してもよい。

## 【 0 0 5 8 】

- ・第二実施形態では、隣接する互いのメモリセル間でソース・ドレインを共有したが、必ずしも共有する必要はない。すなわち、図 9 に示すように、メモリセ

ル 5 6 a, 5 6 b 間、メモリセル 5 6 c, 5 6 d 間でソース・ドレインを分離するようにしてもよい。この場合にも、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）の間に負荷の差を略等しくすることができる。

#### 【 0 0 5 9 】

・第一実施形態において、図 1 では、非隣接領域 1 7 を介して形成する第 1 及び第 2 のメモリセルアレイ 1 3, 1 5 をそれぞれ 1 つずつ示すが、言うまでもなく、実際には複数の第 1 及び第 2 のメモリセルアレイ 1 3, 1 5 が複数の非隣接領域 1 7 を介して交互に形成される。その際、第 1 及び第 2 のメモリセルアレイ 1 3, 1 5 がビット線方向にそれぞれ同数形成される場合には、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）に設けられるビット線コンタクトの数は等しくなる。一方、第 1 及び第 2 のメモリセルアレイ 1 3, 1 5 がビット線方向にそれぞれ異なる数で形成される場合には、それぞれ対となる互いのビット線に設けられるビット線コンタクトの数は 1 個差で異なる。例えば、図 1 において、第 2 のメモリセルアレイ 1 5 を形成した後、非隣接領域 1 7 を介してさらに第 1 のメモリセルアレイ 1 3 を形成した場合、X ビット線 XBLA, XBLB に設けられるビット線コンタクトの数に対してビット線 BLA, BLB に設けられるビット線コンタクトの数は 1 個多くなる。しかしながら、こうした配置方法では、互いのビット線の間にビット線コンタクトの差を最大でも 1 個とすることができるため、それらで生じる負荷を実質的にほぼ等しくすることができる。尚、以上のことは、第二実施形態においても同様にして言える。

#### 【 0 0 6 0 】

・第一及び第二実施形態では、互いに対となる相補なビット線を二対（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）有する場合について説明したが、一対のみ有するメモリセルに適用してもよい。

#### 【 0 0 6 1 】

・第一及び第二実施形態では、8 トランジスタ型の S R A M メモリセルの配置を行う場合について説明したが、メモリセルとしては、必ずしもこのセル形態の

みに限定されるものではない。

【 0 0 6 2 】

・ 第一及び第二実施形態では、S R A Mメモリセルの配置を行う場合について説明したが、D R A Mメモリセルの配置を行う場合に適用してもよい。即ち、図 1 0 に示すように、通常、D R A Mメモリセルにおいて、ビット線BLと接続されるメモリセルには、リファレンスとして使用するXビット線XBL と接続されるメモリセルが隣接配置され、それら 2 個（2 ビット）のメモリセルを 1 配置単位（各実施形態でいうセルユニット）として配置が行われる。その際、各セルユニットは、ビット線と直交する軸で反転された状態で配置される。このため、こうしたD R A Mメモリセルの配置を行う際においても、各実施形態の配置方法を適用することで上記した効果と同様な効果を奏することができる。

【 0 0 6 3 】

上記各実施形態の特徴をまとめると以下のようになる。

（付記 1） 少なくとも一対のビット線と接続される複数のメモリセルを該ビット線に沿ってアレイ状に配置するメモリセルの配置方法において、

前記ビット線方向に互いに隣接させて配置するメモリセルについては前記ビット線と直交する軸を対称軸として各メモリセルを交互に反転させて配置し、前記ビット線方向に互いに隣接させずに非隣接領域を隔てて配置するメモリセルについては該非隣接領域を隔てた前後のメモリセルを互いに反転させずに配置する、ことを特徴とするメモリセルの配置方法。

（付記 2） 少なくとも一対のビット線と接続される複数のメモリセルを該ビット線に沿ってアレイ状に配置するメモリセルの配置方法において、

前記ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置され、前記ビット線と直交する軸に平行するメモリセルの第 1 の辺を両端の辺として有する第 1 のメモリセルユニットと、

前記ビット線と直交する軸を対称軸として偶数個のメモリセルが交互に反転して隣接配置され、前記ビット線と直交する軸に平行するメモリセルの第 2 の辺を両端の辺として有する第 2 のメモリセルユニットと、を使用し、

前記第 1 のメモリセルユニットによって形成される第 1 のメモリセルアレイと



前記第 2 のメモリセルユニットによって形成される第 2 のメモリセルアレイとを前記ビット線方向に設けられる非隣接領域を隔てて交互に配置することを特徴とするメモリセルの配置方法。

(付記 3) 前記一对のビット線は、互いに相補な第 1 ビット線と第 2 ビット線とからなり、

前記第 1 のメモリセルユニットは少なくとも前記第 2 ビット線を共有可能とするように隣接配置され、前記第 2 のメモリセルユニットは少なくとも前記第 1 ビット線を共有可能とするように隣接配置されてなることを特徴とする付記 2 記載のメモリセルの配置方法。

(付記 4) 前記第 1 及び第 2 のメモリセルアレイ内では、前記ビット線方向に隣接する互いのメモリセル間で前記第 1 及び第 2 ビット線に対して設けられるそれぞれのビット線コンタクトを交互に共有可能としたことを特徴とする付記 3 記載のメモリセルの配置方法。

(付記 5) 前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイとが前記ビット線方向にそれぞれ同じ数で形成されていることを特徴とする付記 2 乃至 4 の何れか一記載のメモリセルの配置方法。

(付記 6) 前記第 1 のメモリセルアレイと前記第 2 のメモリセルアレイとが前記ビット線方向にそれぞれ異なる数で形成されていることを特徴とする付記 2 乃至 4 の何れか一記載のメモリセルの配置方法。

(付記 7) 前記第 1 のメモリセルユニットと前記第 2 のメモリセルユニットはそれぞれ同数のメモリセルから構成されていることを特徴とする付記 2 乃至 6 の何れか一記載のメモリセルの配置方法。

(付記 8) 前記非隣接領域は前記ビット線方向に沿って配置される複数個のメモリセルに対して 1 領域ずつ設けられ、各非隣接領域にはそれぞれ対応する前記複数個のメモリセルに含まれるトランジスタのバックゲートと接続されるコンタクトが配置されることを特徴とする付記 1 乃至 7 の何れか一記載のメモリセルの配置方法。

(付記 9) 前記ビット線に対して設けられるビット線コンタクトと接続されるトランジスタのソース・ドレインを、前記ビット線方向に隣接する互いのメモリ

セル間で共有するようにしたことを特徴とする付記 1 乃至 8 の何れか一記載のメモリセルの配置方法。

(付記 1 0) 前記ビット線に対して設けられるビット線コンタクトを、前記ビット線方向に隣接する互いのメモリセル間で共有するようにしたことを特徴とする付記 1 乃至 9 の何れか一記載のメモリセルの配置方法。

(付記 1 1) 前記複数のメモリセルは S R A M メモリセルであることを特徴とする付記 1 乃至 1 0 の何れか一記載のメモリセルの配置方法。

(付記 1 2) 複数のメモリセルがビット線に沿ってアレイ状に配置されてメモリセルアレイが形成された半導体記憶装置において、

前記メモリセルアレイは、前記ビット線方向に隣接する互いのメモリセルが該ビット線と直交する軸を対称軸として交互に反転され、且つ、前記ビット線方向に所定の非隣接領域を隔てて隣り合う前後のメモリセルが互いに反転されずに配置されてなる、ことを特徴とする半導体記憶装置。

【 0 0 6 4 】

【発明の効果】

以上詳述したように、本発明によれば、読み出し時及び書き込み時の動作を安定させることのできるメモリセルの配置方法及び半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図 1】 第一実施形態の配置方法を適用したメモリセルのレイアウト図である。

【図 2】 第 1 のメモリセルユニットを示す説明図であり、(a) はレイアウト図、(b) は回路図である。

【図 3】 第 2 のメモリセルユニットを示す説明図であり、(a) はレイアウト図、(b) は回路図である。

【図 4】 図 1 のレイアウトに対するバルク構造を示す説明図である。

【図 5】 図 4 のバルク構造に対する断面構造の一部を示す断面図である。

【図 6】 第一実施形態の配置方法を適用した半導体記憶装置の読み出し動作を示す波形図である。

【図 7】 コンピュータシステムの概略構成図である。

【図 8】 第二実施形態の配置方法を適用したレイアウトのバルク構造を示す説明図である。

【図 9】 メモリセル間でソース・ドレインを分離した例を示すレイアウト図である。

【図 1 0】 D R A Mメモリセルに適用した例を示すレイアウト図である。

【図 1 1】 従来の配置方法を適用したメモリセルのレイアウト図である。

【図 1 2】 従来の配置方法を適用したメモリセルのレイアウト図である。

【図 1 3】 従来の配置方法を適用した半導体記憶装置の読み出し動作を示す波形図である。

【符号の説明】

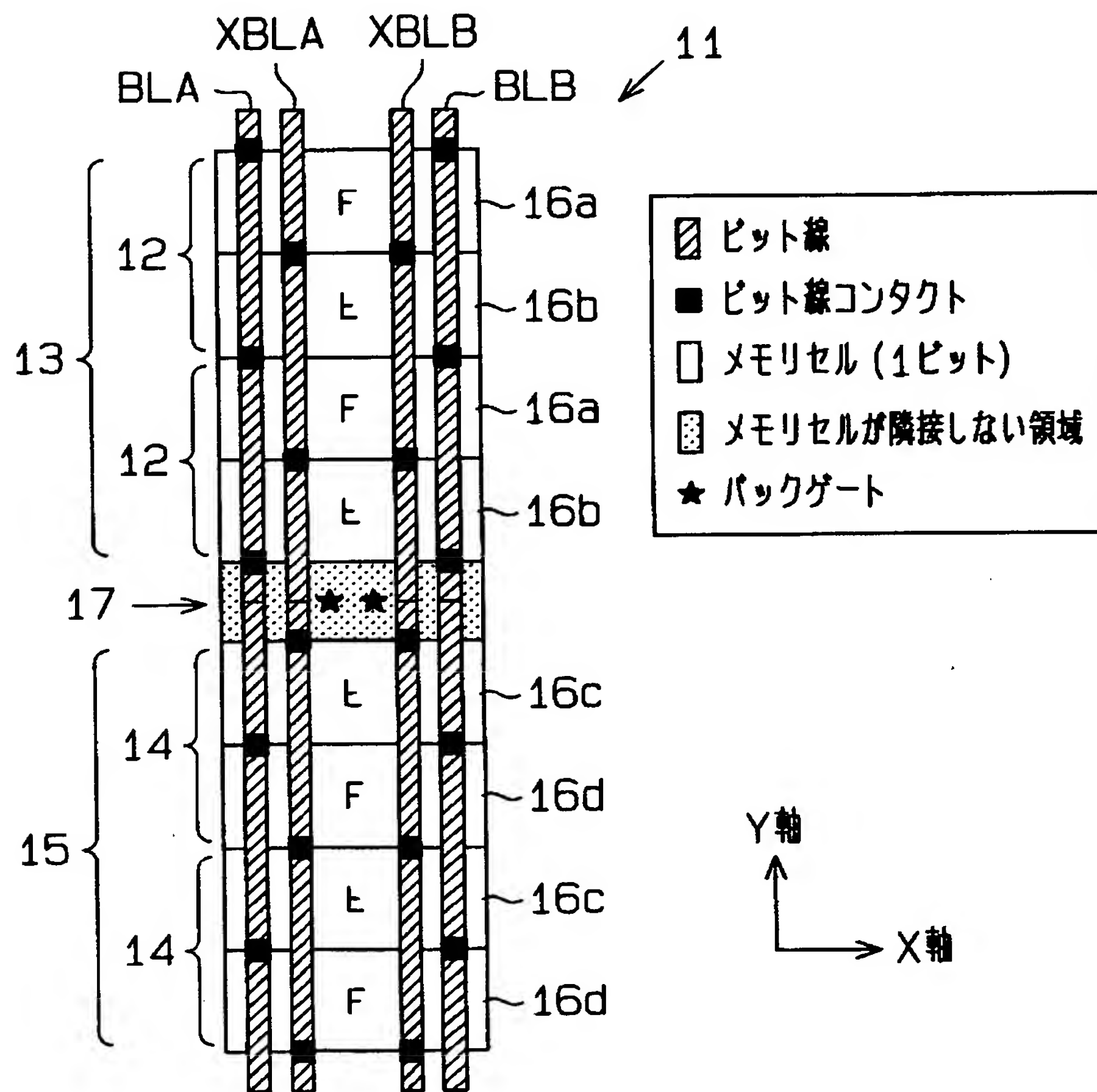
- BLA , BLB 第 1 ビット線としてのビット線  
XBLA, XBLB 第 2 ビット線としての X ビット線  
1 2, 5 2 第 1 のメモリセルユニット  
1 3, 5 3 第 1 のメモリセルアレイ  
1 4, 5 4 第 2 のメモリセルユニット  
1 5, 5 5 第 2 のメモリセルアレイ  
1 6 a ~ 1 6 d, 5 6 a ~ 5 6 d 複数のメモリセル  
1 7, 5 7 非隣接領域



【書類名】 図面

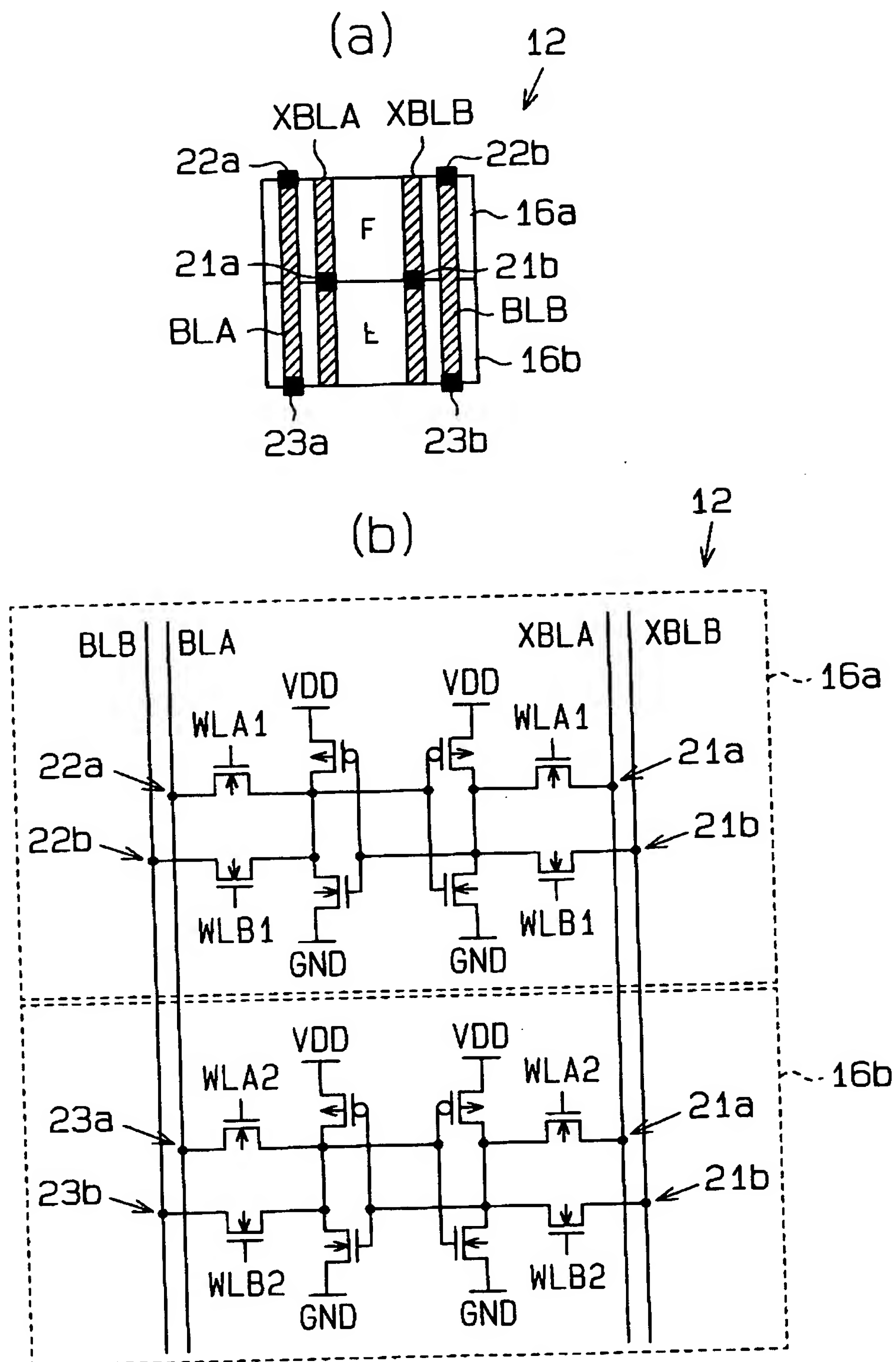
【図 1】

第一実施形態の配置方法を適用したメモリセルのレイアウト図



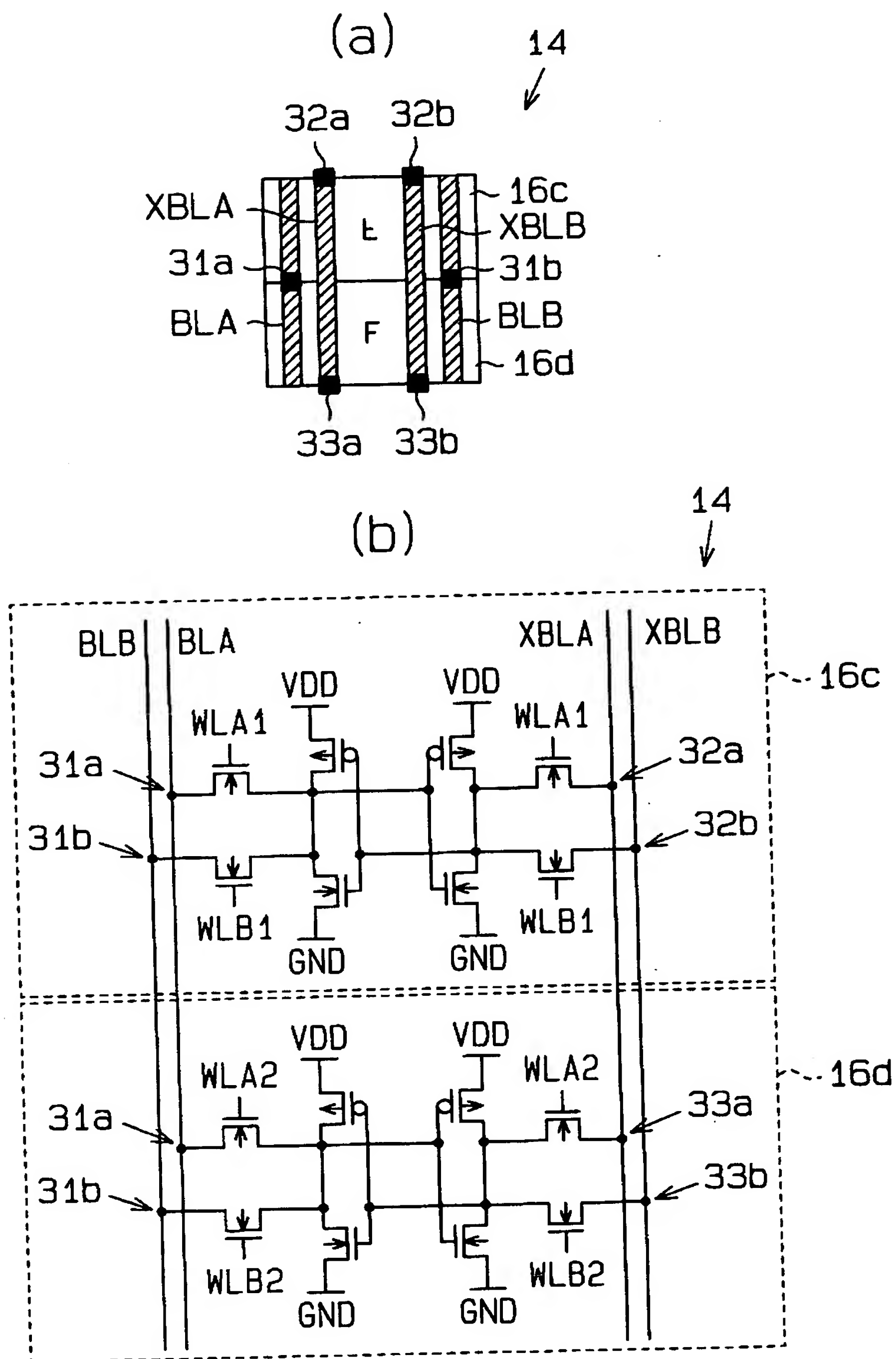
【図 2】

第1のメモリセルユニットを示す説明図



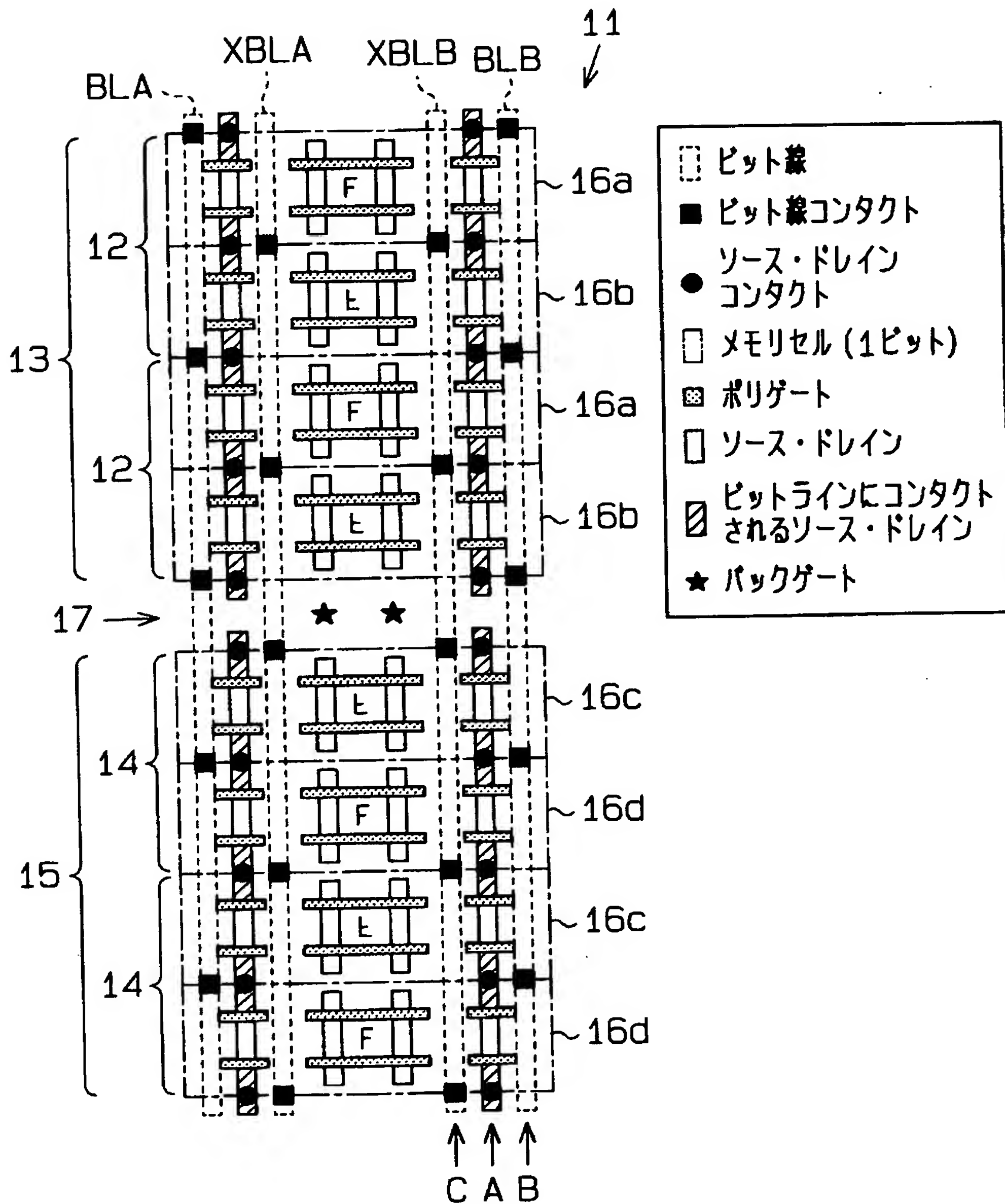
【圖 3】

第2のメモリセルユニットを示す説明図



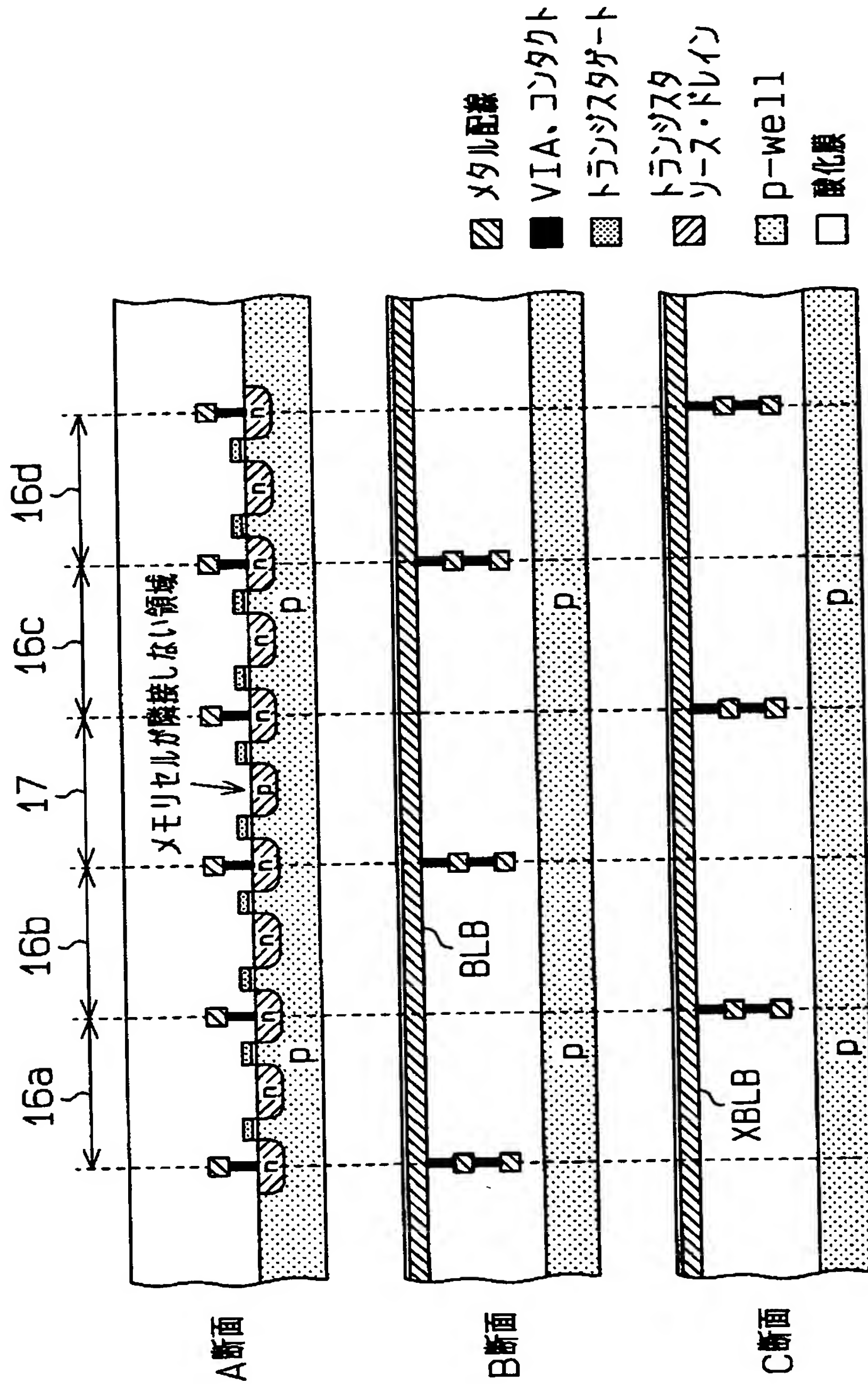
【図 4】

図1のレイアウトに対するバルク構造を示す説明図



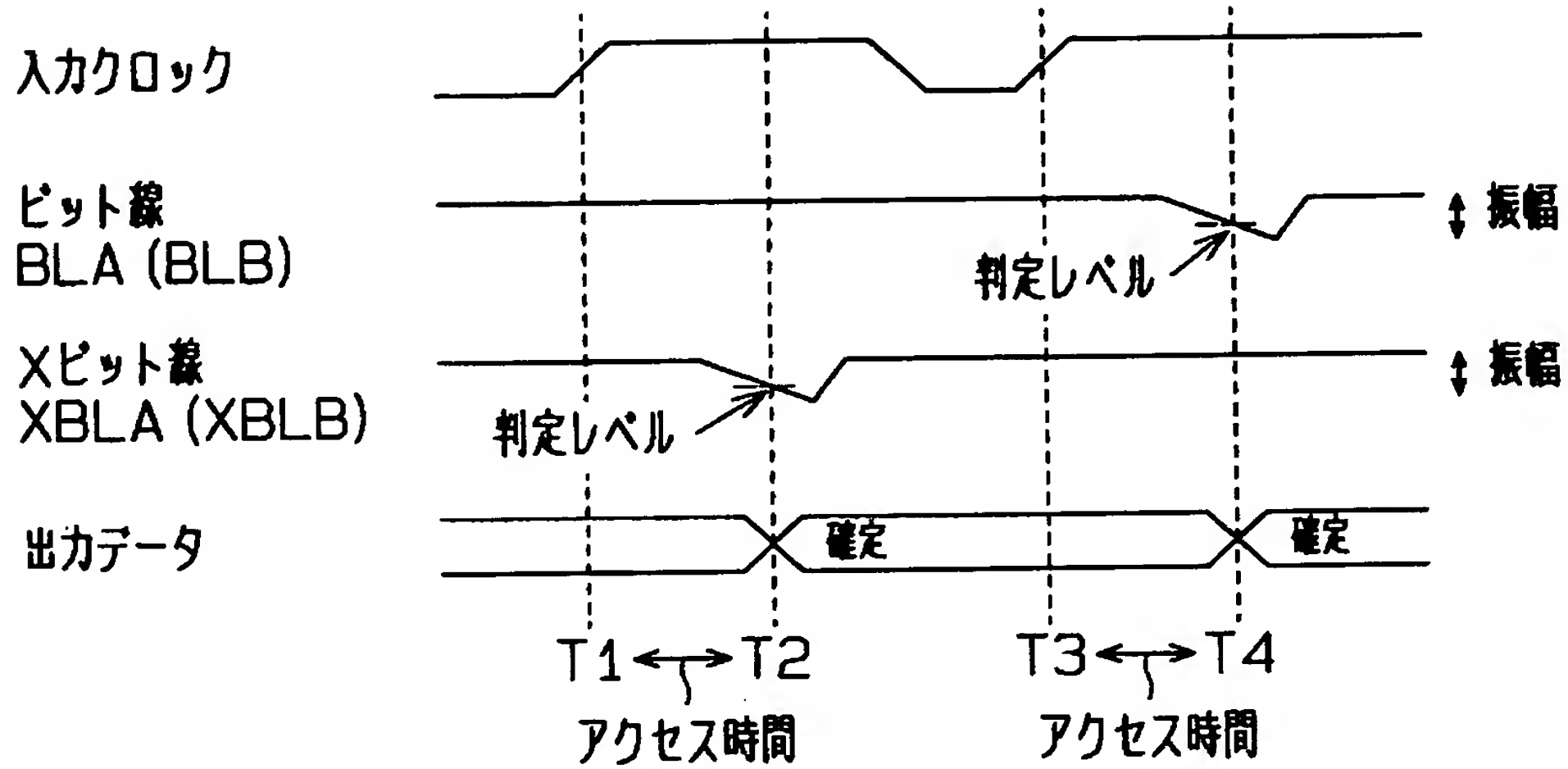
【図 5】

図4のバルク構造に対する断面構造の一部を示す断面図



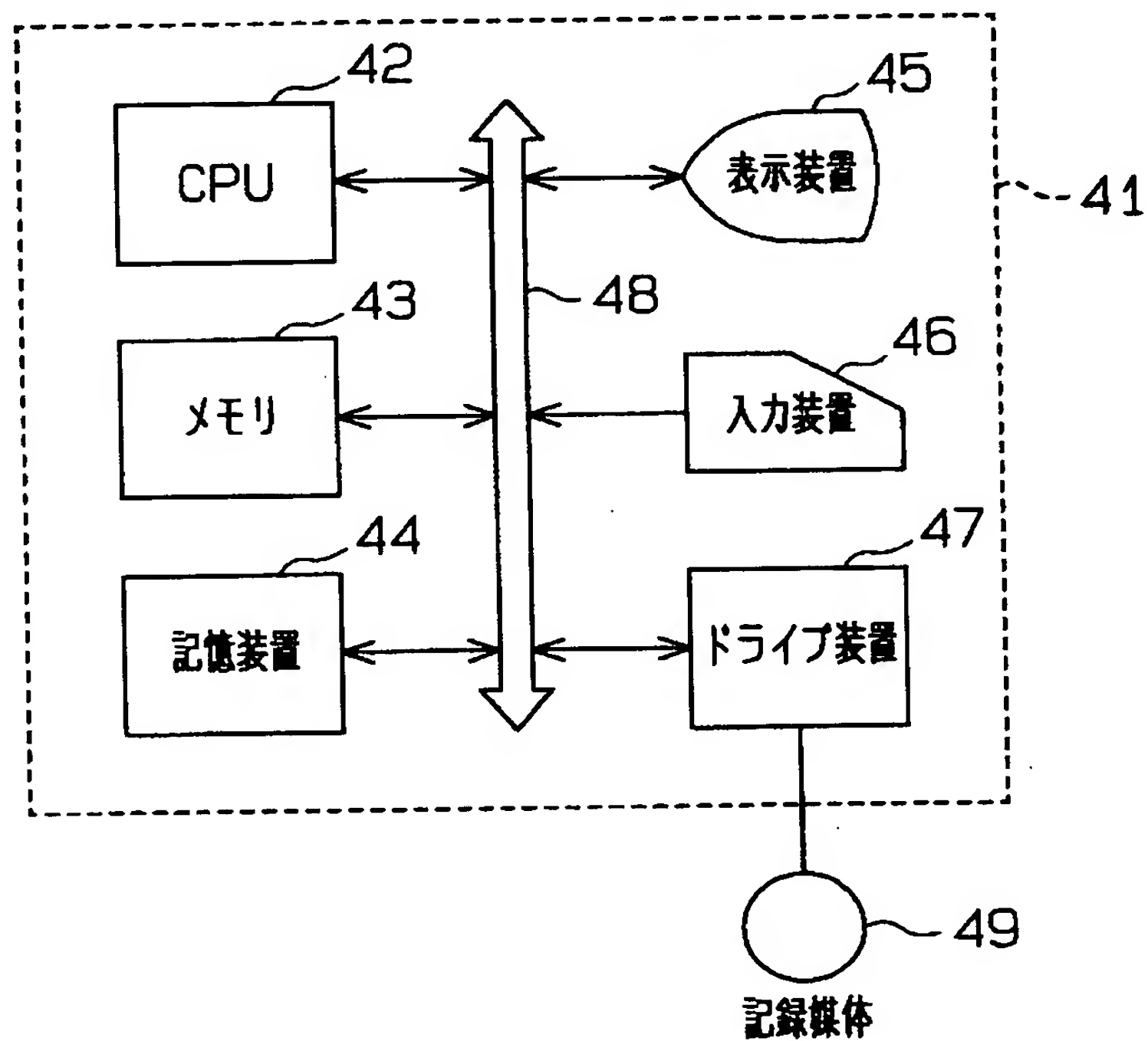
【図 6】

第一実施形態の配置方法を適用した半導体記憶装置の読み出し動作を示す波形図



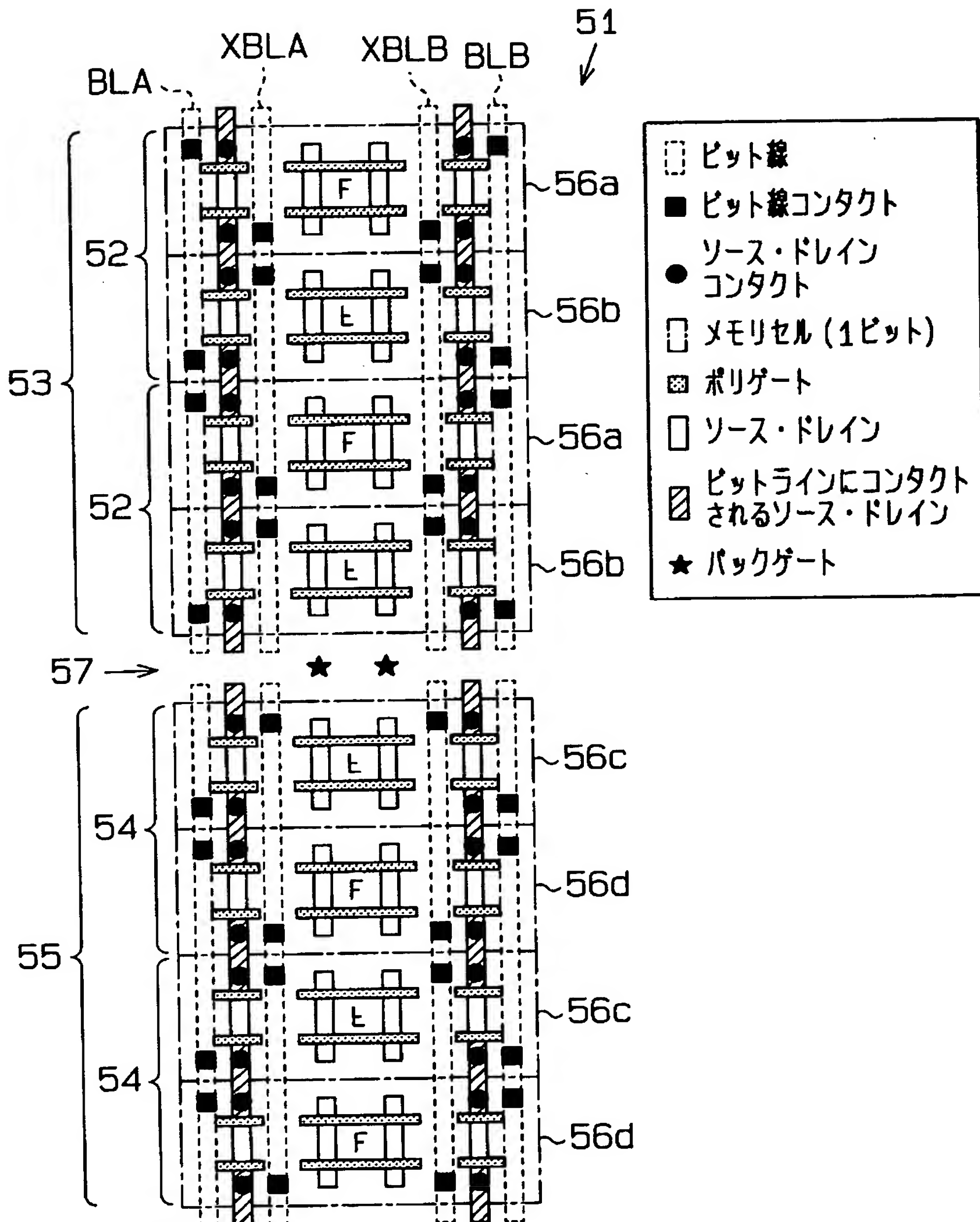
【図 7】

コンピュータシステムの概略構成図



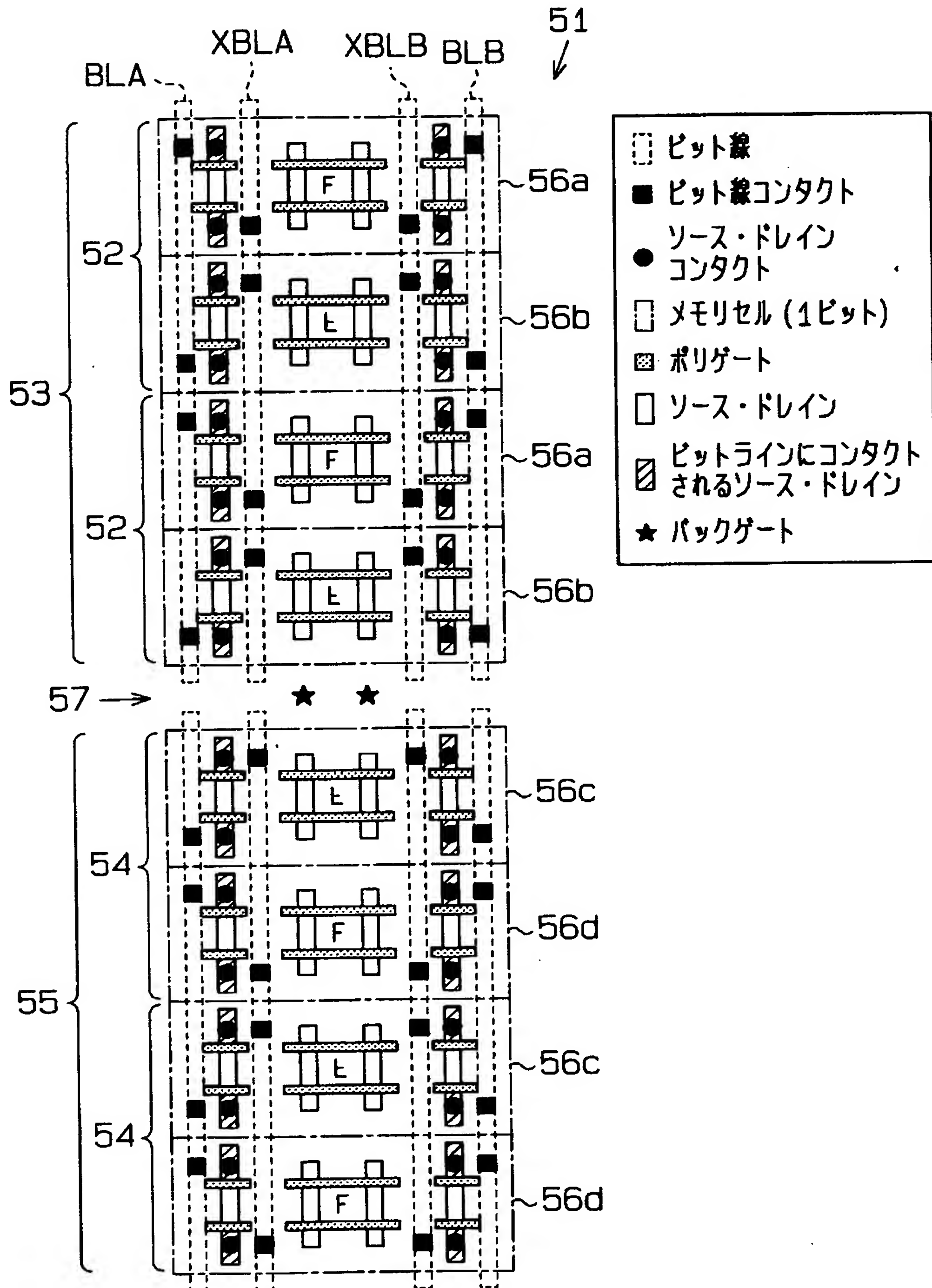
【図 8】

第二実施形態の配置方法を適用したレイアウトのバルク構造を示す説明図



【図 9】

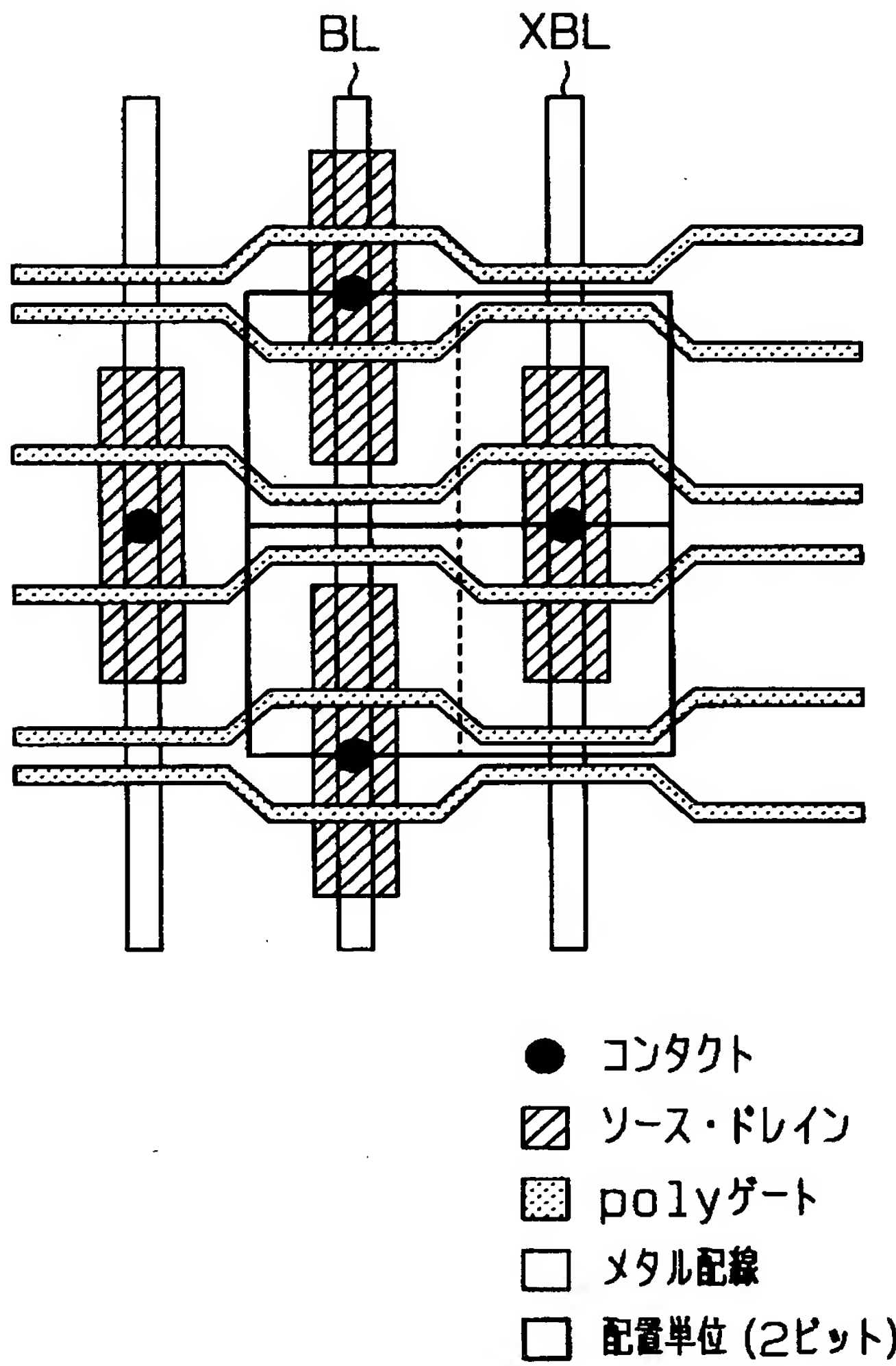
メモリセル間でソース・ドレインを分離した例を示すレイアウト図





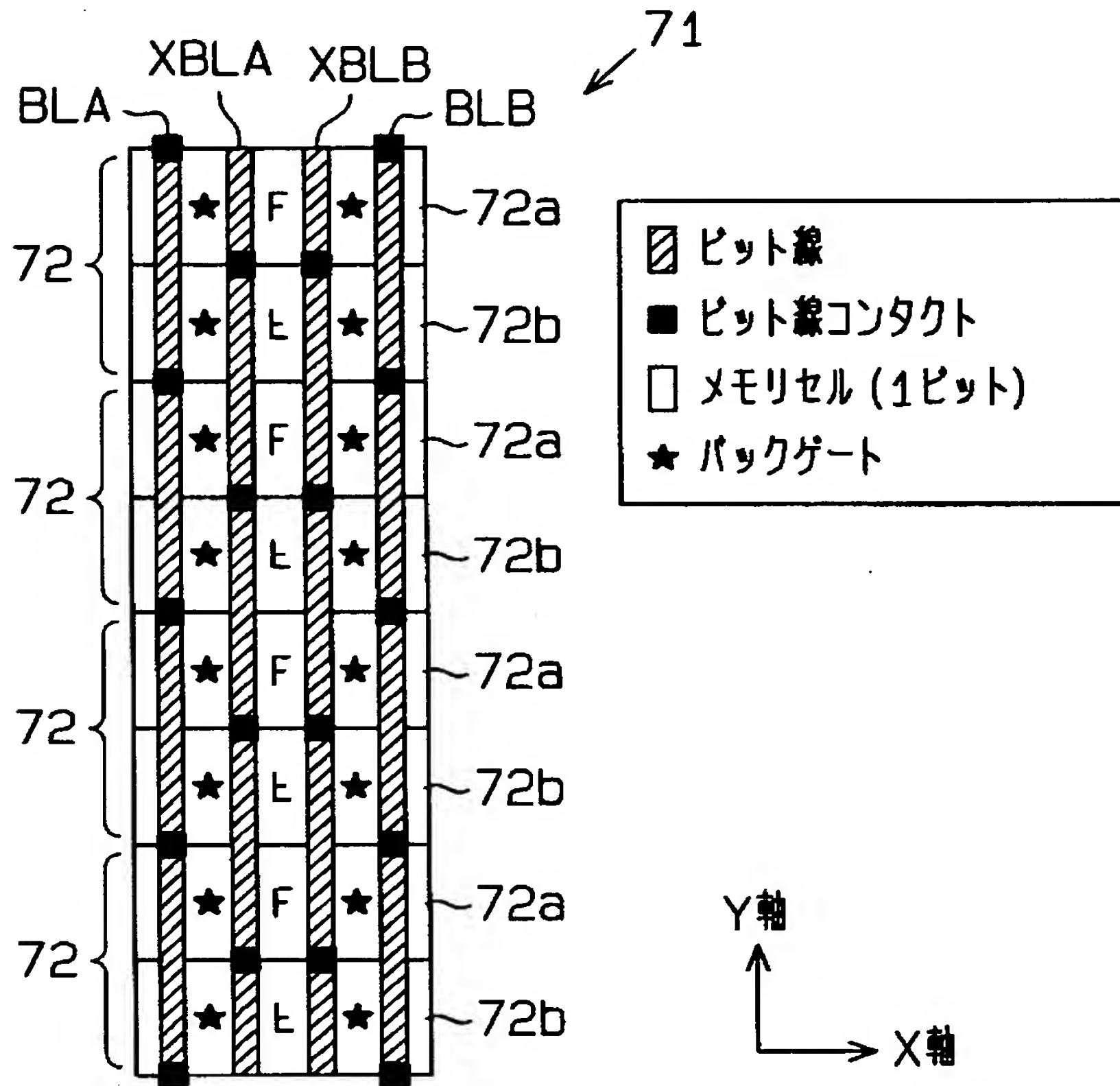
【図 1 0】

DRAMメモリセルに適用した例を示すレイアウト図



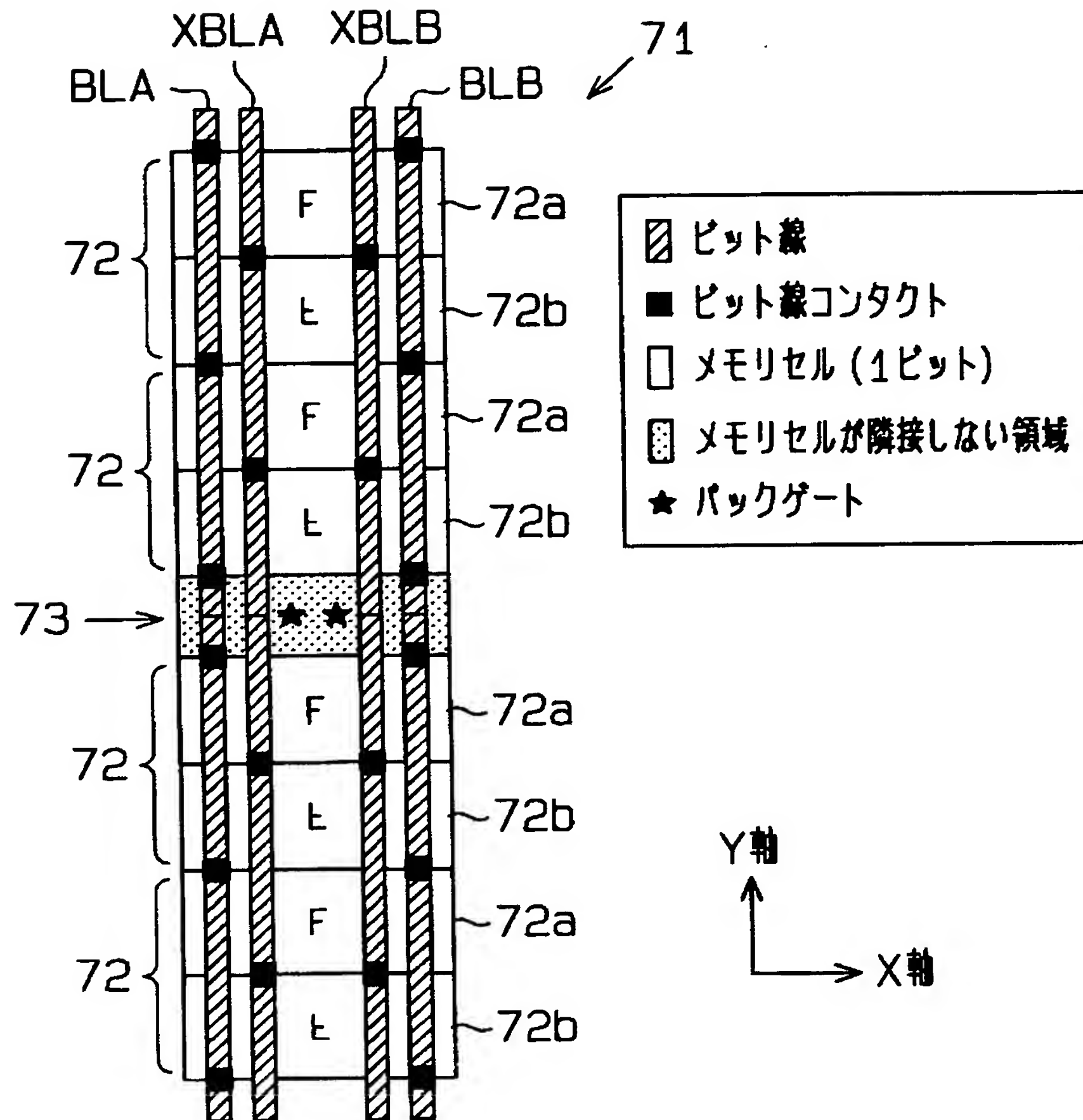
【図 1 1】

従来の配置方法を適用したメモリセルのレイアウト図



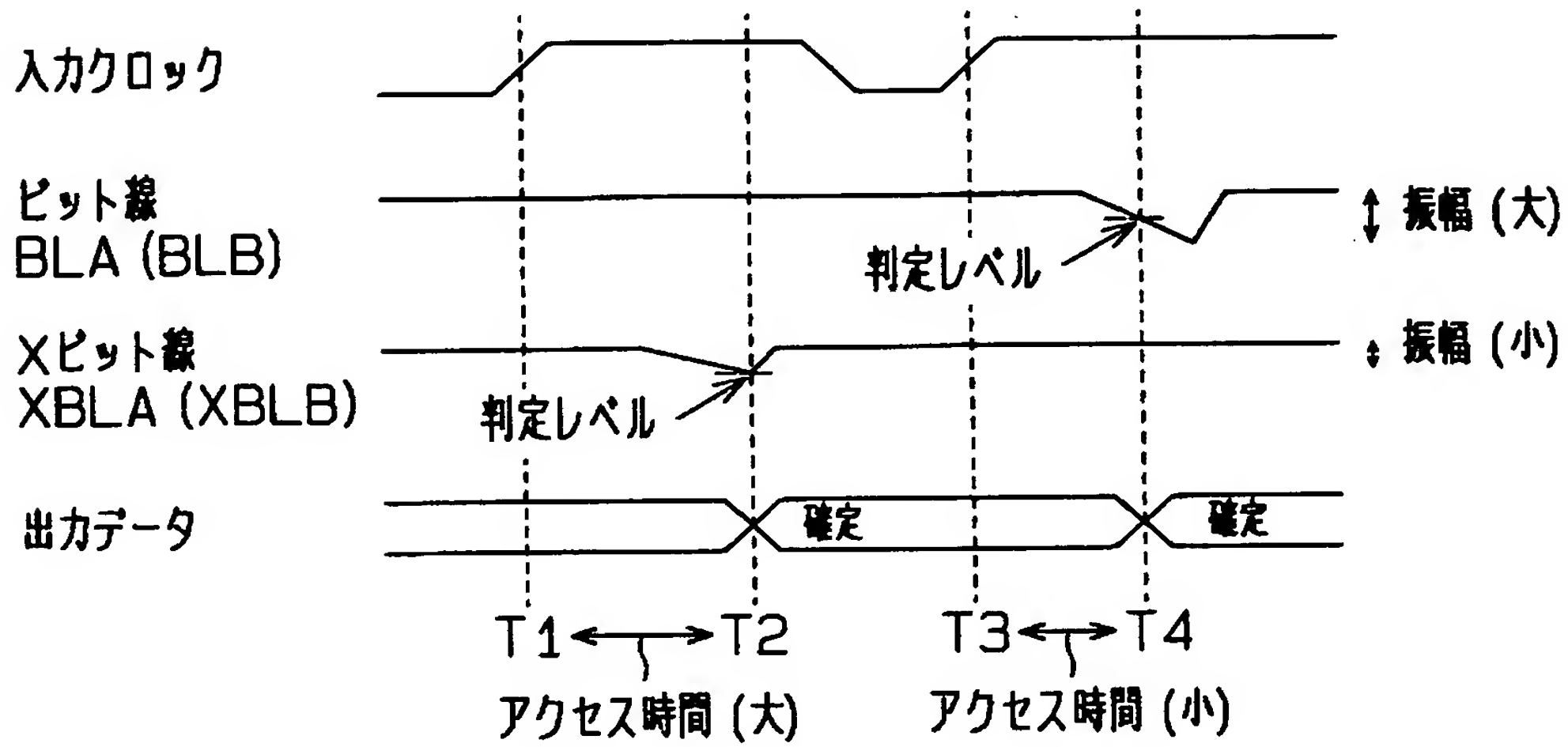
【図 1 2】

従来の配置方法を用いたメモリセルのレイアウト図



【図 1 3】

従来の配置方法を適用した半導体記憶装置の読み出し動作を示す波形図



【書類名】 要約書

【要約】

【課題】 読み出し時及び書き込み時の動作を安定させることのできるメモリセルの配置方法を提供すること。

【解決手段】 半導体記憶装置のメモリセルアレイ 1 1 は、第 1 のセルユニット 1 2 により第 1 のメモリセルアレイ 1 3 が形成された後、バックゲート配置用にビット線方向に沿って設けられる非隣接領域 1 7 を隔てて、第 2 のセルユニット 1 4 により第 2 のメモリセルアレイ 1 5 が形成される。これにより、非隣接領域 1 7 を隔てた前後のメモリセルは互いに反転されず、それぞれ対となる互いのビット線（ビット線 BLA と X ビット線 XBLA、ビット線 BLB と X ビット線 XBLB）に設けられるビット線コンタクトの数は互いに略等しくなる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社